

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-235063

(P2000-235063A)

(43) 公開日 平成12年8月29日(2000.8.29)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 0 1 R 31/316		G 0 1 R 31/28	C
H 0 3 L 7/08		H 0 3 L 7/08	Z

審査請求 未請求 請求項の数11 O L (全 20 頁)

(21) 出願番号 特願2000-38415(P2000-38415)

(22) 出願日 平成12年2月16日(2000.2.16)

(31) 優先権主張番号 09/251096

(32) 優先日 平成11年2月16日(1999.2.16)

(33) 優先権主張国 米国 (U S)

(31) 優先権主張番号 09/494321

(32) 優先日 平成12年1月28日(2000.1.28)

(33) 優先権主張国 米国 (U S)

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(71) 出願人 500070628

マニ ソーマ

アメリカ合衆国 ワシントン州 98177-

4611 シアトル エヌ. ダブリュー.

イレブンス アベニュー 12043

(72) 発明者 山口 隆弘

東京都練馬区旭町1丁目32番1号 株式会
社アドバンテスト内

(74) 代理人 100066153

弁理士 草野 卓 (外1名)

最終頁に続く

(54) 【発明の名称】 フェーズロックループ回路の遅延故障検出装置及び方法

(57) 【要約】

【課題】 フェーズロックループ回路の遅延故障を検出する方法及び装置を提供する。

【解決手段】 被試験フェーズロックループ回路に基準クロック信号として周波数インパルスを印加し、被試験フェーズロックループ回路から出力される信号の波形を解析信号に変換し、その瞬時位相を推定する。推定された瞬時位相からリニア位相を推定し、かつこの推定されたリニア位相を上記推定された瞬時位相から除去して上記瞬時位相の変動項を求める。この瞬時位相の変動項から遅延時間を測定する。そして、上記フェーズロックループ回路がある発振周波数状態に滞在している時間間隔と遅延故障が存在しないフェーズロックループ回路のある発振周波数状態に滞在している時間間隔とを比較することにより遅延故障を検出する。

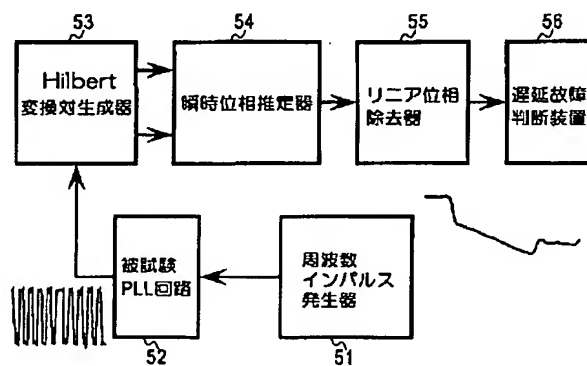


図 17

【特許請求の範囲】

【請求項 1】 周波数インパルスをフェーズロックループ回路に印加して状態遷移を行わせる段階と、
上記フェーズロックループ回路から出力される信号からその瞬時位相を推定する段階と、
上記瞬時位相の変動項から上記フェーズロックループ回路がある発振周波数状態に滞在している時間間隔を測定する段階とを含むことを特徴とするフェーズロックループ回路の遅延故障検出方法。

【請求項 2】 上記瞬時位相を推定する段階は、
上記フェーズロックループ回路から出力される信号の波形を解析信号に変換する段階と、
上記解析信号の瞬時位相を推定する段階とを含み、
上記時間間隔を測定する段階は、
上記フェーズロックループ回路がある発振周波数状態に滞在している時間間隔と遅延故障が存在しないフェーズロックループ回路がある発振周波数状態に滞在している時間間隔とを比較することにより遅延故障を検出する段階を含むことを特徴とする請求項 1 に記載の遅延故障検出方法。

【請求項 3】 上記時間間隔を測定する段階は、上記瞬時位相の傾きの変化部から時間間隔を推定する過程であることを特徴とする請求項 2 に記載の遅延故障検出方法。

【請求項 4】 周波数インパルスがフェーズロックループ回路に印加して状態遷移を行わせる段階と、
上記フェーズロックループ回路から出力される信号の瞬時周期を推定する段階と、
上記瞬時周期から上記フェーズロックループ回路がある発振周波数状態に滞在している時間間隔を測定する段階とを含むことを特徴とするフェーズロックループ回路の遅延故障検出方法。

【請求項 5】 上記時間間隔を測定する段階は、上記入力周波数インパルスが元の状態に戻った時間から、上記フェーズロックループ回路の出力信号の瞬時周期が急激に変化する時間までの時間間隔を測定する段階であることを特徴とする請求項 4 に記載の遅延故障検出方法。

【請求項 6】 被試験フェーズロックループ回路に基準クロック信号として周波数インパルスを印加する周波数インパルス印加手段と、
上記被試験フェーズロックループ回路から出力される信号の波形を解析信号に変換する変換手段と、
上記解析信号の瞬時位相を推定する推定手段と、
推定された瞬時位相の変動項から遅延時間を測定する遅延時間測定手段とを具備することを特徴とするフェーズロックループ回路の遅延故障検出装置。

【請求項 7】 上記変換手段は Hilbert 変換対生成器であり、さらに、推定された瞬時位相からリニア位相を推定し、かつこの推定されたリニア位相を上記推定された瞬時位相から除去して上記瞬時位相の変動項を求める手

段が設けられていることを特徴とする請求項 6 に記載の遅延故障検出装置。

【請求項 8】 上記遅延時間測定手段は、上記フェーズロックループ回路がある発振周波数状態に滞在している時間間隔と遅延故障が存在しないフェーズロックループ回路がある発振周波数状態に滞在している時間間隔とを比較することにより遅延故障を検出する手段であることを特徴とする請求項 6 に記載の遅延故障検出装置。

【請求項 9】 上記遅延時間測定手段は、上記瞬時位相の傾きの変化部から時間間隔を推定する手段であることを特徴とする請求項 6 に記載の遅延故障検出装置。

【請求項 10】 被試験フェーズロックループ回路に基準クロック信号として周波数インパルスを印加する周波数インパルス印加手段と、
上記被試験フェーズロックループ回路から出力される信号の瞬時周期を推定する推定手段と、
上記推定された瞬時周期から遅延時間を測定する遅延時間測定手段とを具備することを特徴とするフェーズロックループ回路の遅延故障検出装置。

【請求項 11】 上記遅延時間測定手段は、上記入力周波数インパルスが元の状態に戻った時間から、上記フェーズロックループ回路の出力信号の瞬時周期が急激に変化する時間までの時間間隔を測定する手段であることを特徴とする請求項 10 に記載の遅延故障検出装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、フェーズロックループ (phase-locked loop) 回路の遅延故障を検出する装置及び方法に関し、特に、VLSI (very large scale integrated circuit) チップに形成されたフェーズロックループ (以下、PLL と称す) 回路の遅延故障を検出するのに好適な遅延故障検出装置及び方法に関する。

【0002】

【従来の技術】 同期システムは、クロック・エッジのタイミングを共有することにより協調動作する。この共有エッジのタイミングが高い精度で制御されていればいる程、同期システムはより高い周波数で動作できる。同期システムの一例を図 1 に示す。このシステムは複数の (この例では 2 つの) VLSI チップ 11、12 が 1 つのボード (図示せず) 上に実装されている構成を有する。基準クロック ϕ は、ボード上の高精度発振器 (例えば、クリスタル・クロック発生器) 13 から各 VLSI チップ 11、12 へ供給される。これら VLSI チップ上の PLL 回路 14 及び 15 は、図 2 に示すように、外部から与えられる基準クロック ϕ にチップ内部で発生されたクロック ϕ_{11} 、 ϕ_{12} 及び ϕ_{21} 、 ϕ_{22} を同期させ、これらクロックをサブシステム 16 及び 17 内へ送る。

(例えば、文献 d 1 参照)。

【0003】 このように内部クロックのエッジを基準ク

ロックのエッジに同期させることにより、異なるチップ間で自由にデータをやり取りすることができる。PLL回路14及び15は、電圧制御発振器(voltage-controlled oscillator)(以下、VCOと称す)の発振波形の周波数と位相を、入力された基準クロック ϕ の周波数と位相に一致させることにより、クロック・スキュー(clock skew)を最小にし、システムの高速動作を確実にする役割を担っている。

【0004】良く知られているように、マイクロコンピュータではクロック信号の最悪の瞬時値(ピークジッタなど)が動作周波数を決めてしまう。従って、マイクロコンピュータにおいては、過渡的なクロック・スキューとして現われるそのような遅延故障(delay fault)をテストによって確実に検出しておく必要がある。次に、PLL回路における遅延故障がシステムに与える影響について考察する。図3にPLL回路の一例を示す。このPLL回路は位相周波数検出器21と、チャージポンプ回路22と、ループフィルタ23と、VCO24と、クロックデコード及びバッファ回路25とより構成されている。今、位相周波数検出器21の基準クロック入力端に遅延故障DF1が存在すると仮定する。図4に示すように、PLL回路の位相周波数検出器21の基準クロック入力端に印加された基準クロック ϕ_{REF} (実線のパルス)は、入力端の遅延故障DF1により、一定時間遅延されたスキュークロック ϕ (点線のパルス)となり、次段のチャージポンプ回路22に入力される。PLL回路は、内部クロック ϕ_1 (実線のパルス)のエッジを上記一定時間遅延された点線のクロック ϕ のエッジに同期させる。その結果、遅延故障DF1に対応してクロック・スキューが生じる。その上、基準クロック入力端で生じた偏差であるこのクロック・スキューはPLL回路では補償されず、一定値のまま継続する。この結果、大きな定常偏差が残っているように見える。

【0005】この遅延故障DF1は、PLL回路の内部ブロック(内部構成素子)の故障ではないため、PLL回路は同期状態になる。従って、PLL回路の内部ブロックをテストしても、基準クロック入力端の遅延故障を検出することは困難である。しかしながら、このタイプの遅延故障は、外部の基準クロック ϕ_{REF} と内部のクロック ϕ_1 とを比較することにより簡単に検出され得る。次に、図5に示すように、チャージポンプ回路22のアップ(U_p)信号入力端に遅延故障DF2が存在すると仮定する。この遅延故障DF2のため、チャージポンプ回路22は位相周波数検出器21から入力されたU_p信号をアナログ信号へ変換して出力するタイミングが遅れる。さらに、このアナログ信号の遅延はVCO24の発振波形のタイミングの遅延となる。次のステップで、位相周波数検出器21が基準クロック ϕ_{REF} のエッジとPLL回路の内部クロック ϕ_1 のエッジとを比較し、2つのクロックの立ち上がりエッジの時間間隔を位相誤差信

号とし、VCO24の発振波形のタイミングを制御する。この帰還制御は、両クロックの立ち上がりエッジが一致するまで行なわれる。従って、この遅延故障DF2は状態遷移と同時に現われ、フィードバックにより補償されてしまう。状態遷移のときに遅延時間は最大値を取る。よって、図6に示すように、クロック・スキューは状態遷移の直後に最大となり、上述したように、PLL回路はフィードバック系であるため、多数の引き続くサイクルでゼロに減じる。このようにして過渡スキューは生じる。スキューが生じるタイミングが限定されるため、テストにより検出することは困難である。

【0006】このように、位相周波数検出器21の基準クロック入力端に遅延故障DF1が存在すると、一定時間間隔のクロック・スキューが生じる。このクロック・スキューはPLL回路により補償されない。一方、チャージポンプ回路22のU_p信号入力端に遅延故障DF2が存在すると、図7に示す状態遷移に対応して過渡的な大きなクロック・スキューが現われる。この過渡遅延故障DF2に起因する過渡的なクロック・スキューはPLL回路により補償され、ゼロに近づく。PLL回路の他のブロック(ループフィルタ23の入力端、VCO24の入力端)の遅延故障は全て、チャージポンプ回路22の入力端の遅延故障へマッピングすることができる。

【0007】従来より縮退故障テスト(例えば、文献d2を参照)は、VLSIチップの検証テストや製造テストに最も広く利用されている。まず、この縮退故障テスト(stuck fault testing)について簡単に説明する。故障モデルは物理的欠陥を抽象化したものである。故障モデルを用いると、欠陥のある回路の動作をコンピュータを用いて簡単にシミュレーションできる。例えば、CMOS(complementary metal-oxide semiconductor)インバータの出力が論理値“1”を取り続ける状態は、インバータの出力に1縮退故障(stuck-at 1 fault)が存在しているモデルを用いれば説明できる。原因としては、インバータの出力と電源電圧ラインV_{DD}が短絡してしまう欠陥や、nMOS(n-channel metal-oxide semiconductor)のドレインが開放してしまう物理的欠陥が考えられる。

【0008】テストは、被試験回路の主入力にテストパターンを印加し、この被試験回路の主出力に現われる回路の応答パターンを観測し、この応答パターンを正常動作時の期待値パターンと比較して回路が故障しているかを調べる。図8に、縮退故障のないナンドゲートND1と0縮退故障(s-a-0)のあるナンドゲートND2との組み合わせ回路を示す。両ナンドゲートND1、ND2の出力はオアゲートOR1を通じて主出力として取り出される。

【0009】この組み合わせ回路の0縮退故障を検出できるテストパターンは“110”である。つまり、図示するように組み合わせ回路の主入力にテストパターン

“110”を印加することである。何故ならば、テストパターン“110”をこの回路の主入力に印加した場合に、0縮退故障がないときのこの組み合わせ回路の主出力は“1”であり、0縮退故障があるときの主出力は“0”となるから、テストパターン“110”をこの組み合わせ回路に印加すると、故障があるか否かを識別することが可能になるからである。さらに注意深くテストパターンの値を調べると、このテストパターンは、0縮退故障箇所が逆の論理値“1”を取るように生成されていることが分かる。

【0010】プロセス技術の急速な発展により集積回路（IC）の超微細化が進み、その結果、信号が信号線を伝わる際の信号線遅延の方が、信号がゲート素子を伝わる際のゲート遅延よりも重要になっている。この結果、遅延故障テストがマイクロプロセッサのテストに適用され始めている（例えば、文献d3を参照）。次に、従来の遅延故障テスト法について簡単に説明する（例えば、文献d4を参照）。

【0011】遅延故障に対して2つの故障モデルが提案されている。1つはゲート遅延故障であり、他方はパス（path）遅延故障である。回路のあるゲートを通過する信号の伝播時間が特定の最悪の伝播遅延値を超える場合に、この回路はゲート遅延故障を有すると呼ばれる。同様に、回路のある信号パスを伝播する信号の時間が特定の最悪の伝播遅延値を超える場合に、この回路はパス遅延故障を有すると呼ばれる。

【0012】遅延故障テストには2つのパターンによるテストを必要とする。図9に遅延故障テストの一例を示す。図示の被試験回路は第1、第2、第3の3つのナンドゲートND1、ND2、ND3を備え、第1及び第2の2つのナンドゲートND1及びND2の出力が第3のナンドゲートND3に入力されるように接続されている組み合わせ回路である。最初は、遅いクロックを用いて初期化パターンV₁をこの被試験回路の主入力に印加する。この例の初期化パターンV₁は“1111”である。遅いクロックを用いるのは、そのサイクルの時間が回路の全ての遷移を安定にするのに十分に長い場合に、遅延故障が状態遷移に影響しないようにするためである。被試験回路が初期化状態へなった後、高速クロックを用いてテストパターンV₂を被試験回路の主入力に印加する。この例のV₂は“0101”である。その結果、図9の図面上で見て、第1及び第2のナンドゲートND1及びND2に対するそれぞれ2本の入力リード線のうちの上側の信号線（V₂の“0”が入力される入力リード線）、及び第1及び第2のナンドゲートND1及びND2の出力から第3のナンドゲートND3の入力に至る信号線が活性化され、テストパターンV₂に対応するパルスがこれら信号線を伝播し、伝播遅延時間に対応してパルスが被試験回路の主出力（第3のナンドゲートND3の出力）に現われる。この出力された最終値は高

速クロックに同期した出力ラッチに取り込まれる。ラッチした値は、被試験回路に遅延故障が存在するか否かを判定するのに用いられる。通常、システムクロックが高速クロックとして用いられる。図10は上述の遅延故障テストの概念を表わす。被試験回路（組み合わせ回路）30の前段及び後段に入力ラッチ31及び出力ラッチ32が接続されている。

【0013】

【発明が解決しようとする課題】遅延故障テストのためのテストパターンを生成することは非常に困難である。何故ならば、回路の遅延時間及びこの回路に存在する他の全ての遅延故障とは独立に、目的の遅延故障を検出するためには、次の条件が満たされなければならないからである。即ち、「活性化された被試験ラインを伝わるオンパス（on-path）の入力パルス」と「この被試験ラインへ合流する枝の入力ラインを伝わるオフパス（off-path）のセンシタイジング入力パルス」はそれぞれグリッチ（glitch）を生じてはいけない（例えば、文献d5を参照）。このため、従来の遅延故障テスト法は少数の信号線に対してのみテストパターンを発生しており、従って、回路に存在する限られた数の遅延故障を検出することしかできなかった。

【0014】VLSI回路の超大規模化及び複雑化に伴い、基準クロックのエッジにチップ内部のすべてのクロックエッジを合致させて、最小のスキューでクロック信号を分配することはより困難になっている。このため、例えばH木（H-tree）と呼ばれるアルゴリズムが、クロック信号分配ネットワーク（クロックを分配する配線）のレイアウト設計に導入されている。このH木と呼ばれる曲線は、図11に示すHilbert（ヒルベルト）曲線である（例えば、文献d6参照）。H木では、各葉ノードに接続されるセルは全て、クロックドライバから等距離となるため、クロック・スキューは理論的にはゼロになる。さらに、Hilbert曲線は自己相似であり、脳の構造（3次元の配線レイアウト）を構築することも可能である（例えば、文献d7を参照）。また、Hilbert曲線は再帰アルゴリズムを用いて容易に生成することができる。3次元のクロック分配ネットワーク等へのHilbert曲線の応用などは、興味深い研究分野である。

【0015】VLSI回路の高速化に伴い、クロック分配ネットワークを動作スピードでテストすることも、より重要になってきている。しかし、従来の遅延故障テスト法は、クロック分配ネットワークを効率的にテストするには適していない。図12に示すように、上述した従来の遅延故障テスト法を用いてPLL回路40内の遅延故障をテストすることは、次の理由から困難である。まず、（i）テストのためにPLL回路40の内部にラッチを挿入すると、PLL回路40の内部クロックに余分のスキューが与えられてしまう。その結果、目標とする動作速度を低下させる性能の劣化が避けられない。次

に、(ii) PLL 回路の内部クロックをラッチするためには、より高速なクロックを必要とする。即ち、自己矛盾となってしまう。

【0016】この発明の目的は、解析信号の瞬時位相の傾きを利用したフェーズロックループ回路の遅延故障検出方法及び装置を提供することである。

【0017】

【課題を解決するための手段】上記課題を解決するために、この発明の第 1 の形態においては、周波数インパルス

をフェーズロックループ回路に印加して状態遷移を行

わせる段階と、上記フェーズロックループ回路から出力

される信号からその瞬時位相を推定する段階と、上記瞬

時位相の変動項から上記フェーズロックループ回路がある

発振周波数状態に滞在している時間間隔を測定する段階

とを含むフェーズロックループ回路の遅延故障検出方法

が提供される。

【0018】好ましい実施形態においては、上記瞬時

位相を推定する段階は、上記フェーズロックループ回路

から出力される信号の波形を解析信号に変換する段階

と、上記解析信号の瞬時位相を推定する段階とを含み、

上記時間間隔を測定する段階は、上記フェーズロック

ループ回路がある発振周波数状態に滞在している時間間隔

と遅延故障が存在しないフェーズロックループ回路がある

発振周波数状態に滞在している時間間隔とを比較する

ことにより遅延故障を検出する段階を含む。

【0019】また、上記時間間隔を測定する段階は、上

記瞬時位相の傾きの変化部から時間間隔を推定する過程

であってもよい。この発明の第 2 の形態においては、被

試験フェーズロックループ回路に基準クロック信号とし

て周波数インパルスを印加する周波数インパルス印加手

段と、上記被試験フェーズロックループ回路から出力さ

れる信号の波形を解析信号に変換する変換手段と、上記

解析信号の瞬時位相を推定する推定手段と、推定された

瞬時位相の変動項から遅延時間を測定する遅延時間測定

手段とを具備するフェーズロックループ回路の遅延故障

検出装置が提供される。

【0020】好ましい実施形態においては、上記変換

手段は Hilbert 変換対生成器であり、さらに、推定され

た瞬時位相からリニア位相を推定し、かつこの推定され

たリニア位相を上記推定された瞬時位相から除去して上

記瞬時位相の変動項を求める手段が設けられている。また、

上記遅延時間測定手段は、上記フェーズロックループ

回路がある発振周波数状態に滞在している時間間隔と

遅延故障が存在しないフェーズロックループ回路がある

発振周波数状態に滞在している時間間隔とを比較するこ

とにより遅延故障を検出する手段でよい。

【0021】或いは、上記遅延時間測定手段は、上記瞬

時位相の傾きの変化部から時間間隔を推定する手段であ

ってもよい。この発明の第 3 の形態においては、周波数

インパルスをフェーズロックループ回路に印加して状態

遷移を行わせる段階と、上記フェーズロックループ回路

から出力される信号の瞬時周期を推定する段階と、上記

瞬時周期から上記フェーズロックループ回路がある発振周

波数状態に滞在している時間間隔を測定する段階とを含

むフェーズロックループ回路の遅延故障検出方法が提供

される。

【0022】好ましい実施形態においては、上記時間

間隔を測定する段階は、上記入力周波数インパルスが元

の状態に戻った時間から、上記フェーズロックループ回路

の出力信号の瞬時周期が急激に変化する時間までの時間

間隔を測定する段階である。この発明の第 4 の形態にお

いては、被試験フェーズロックループ回路に基準クロッ

ク信号として周波数インパルスを印加する周波数インパ

ルス印加手段と、上記被試験フェーズロックループ回路

から出力される信号の瞬時周期を推定する推定手段と、

上記推定された瞬時周期から遅延時間を測定する遅延時

間測定手段とを具備するフェーズロックループ回路の遅

延故障検出装置が提供される。

【0023】好ましい実施形態においては、上記遅延

時間測定手段は、上記入力周波数インパルスが元の状態

に戻った時間から、上記フェーズロックループ回路の出力

信号の瞬時周期が急激に変化する時間までの時間間隔を

測定する手段である。上記及びそれ以外のこの発明の目

的、構成及び効果については、以下に添付図面を参照し

てなされる好ましい実施形態の説明から容易に明らかにな

らう。

【0024】

【発明の実施の形態】以下、この発明をその好ましい実

施形態が示されている図 1 3 乃至図 3 3 を参照して詳細

に説明する。しかしながら、この発明は多くの異なる形

式及び方法で実施可能であるから、以下に述べる実施形

態にこの発明が限定されると解釈すべきではない。後

述の実施形態は、以下の開示が十分で、完全なものであ

り、この発明の範囲をこの分野の技術者に十分に知らせ

るために提供されるものである。同様の符号は全図を通

じて同様の素子を示す。

【0025】この発明の好ましい実施形態について説明

する前に、この発明による遅延故障検出方法の原理につ

いて説明する。既に記載したように、PLL 回路の位相

周波数検出器は、基準クロックの位相と内部クロックの

位相とを比較する。位相周波数検出器の出力はチャージ

ポンプ回路を駆動する。ループフィルタはチャージポン

プ回路の出力からリップルを除去し、直流信号を VCO に

供給する。要するに、位相周波数検出器は位相差信号を

出力し、VCO の入力に与え、この VCO の発振を制御

する。かくして、VCO はその発振周波数を、基準クロ

ックの周波数を追従するように、変化させる。その後、

VCO は基準クロックの周波数と等しい周波数で、かつ

基準クロックの位相と等しい位相で発振する。瞬時周波

数 Δf は、内部クロックの瞬時位相 $\phi(t)$ 又は VCO の

出力を時間について微分することにより与えられる。

【0026】

$$\Delta f = \frac{1}{2\pi} \times \frac{d\phi(t)}{dt} \quad (4.1.1)$$

$$f = f_0 + \Delta f \quad (4.1.2)$$

【0027】式(4.1.1)から、 Δf が一定のとき、瞬時位相は一定の傾きを示し、時刻 t におけるその値は t のリニア関数であることが分かる。

$$\frac{d\phi(t)}{dt} = 2\pi(\Delta f) \quad (4.2)$$

【0029】図13(a)はVCOに印加されているアナログ信号を示し、図13(b)はVCO出力の位相偏差 $\Delta\phi(t)$ を示す。例えば、高い周波数 f_H から低い周波数 f_L へVCOの発振周波数を変えると、図13

(b)に矢印で示すように、瞬時位相は負の傾きを呈する。図13(a)に示すアナログ信号のダウン(Down)信号がVCOに印加されると、位相偏差波形 $\Delta\phi(t)$ の対応する変化は図13(b)に示すようになる。ここで、PLL回路は一定の静的周波数誤差 Δf_ϵ (例えば、文献d8を参照)を持つものと仮定する。即ち、位相変動波形 $\Delta\phi(t)$ はDown信号に従って急激に負の傾きで変化し、低い周波数 f_L に状態遷移後は静的周波数誤差 Δf_ϵ に比例した傾きで変化する。静的周波数誤差 Δf_ϵ がゼロのときには位相変動波形 $\Delta\phi(t)$ は時間軸に平行に推移する。逆に、低い周波数 f_L から高い周波数 f_H にVCOの発振周波数を変えると、図14

$$\frac{d\phi(t)}{dt} = 2\pi(\Delta f_1), \quad t_1 < t < t_2 \quad (4.3.1)$$

【0032】ここで、 Δf_1 は Δf_ϵ 又はゼロである。同様に、時刻 t_2 において、VCOの瞬時周波数が周波数 f_1 から周波数 f_2 へ状態遷移を完了すると、瞬

$$\frac{d\phi(t)}{dt} = 2\pi(\Delta f_2), \quad t_2 < t < t_3 \quad (4.3.2)$$

【0034】よって、瞬時位相波形の傾きを観測すると、VCOの内部の状態をモニタできるということが分かる。 Δf_ϵ がゼロであっても、内部状態がモニタできることに留意されたい。さらに、瞬時位相波形がその傾きを変える屈曲時刻が識別できれば、PLL回路がある状態になる又はある状態から脱却するエッジ時間(開始時間や終了時間)を測定できることになる。状態遷移は遅延故障により遅れるから、各PLL回路がある状態に滞在している時間間隔($t_2 - t_1$)を測定できれば、PLL回路の遅延故障を測定できることになる。ただし、位相周波数検出器の基準クロック入力端に存在する遅延故障はテストできる故障には含まれていないということに留意されたい。

【数1】

【0028】

【数2】

図14(a)はVCOに印加されているアナログ信号を示す。

【0030】図15は、クロック波形 $X_c(t)$ の位相変動波形 $\Delta\phi(t)$ から遅延時間を推定する方法の概念を説明するための波形図であり、同図(a)は遅延故障が存在しないPLL回路(以後、遅延故障のないPLL回路と称す)の位相変動波形 $\Delta\phi(t)$ を示し、同図(b)は少なくとも1つの遅延故障を有するPLL回路(以後、遅延故障のあるPLL回路と称す)の位相変動波形 $\Delta\phi(t)$ を示す。遅延故障は位相周波数検出器の基準クロック入力端以外の点に存在するものとするということに留意されたい。時刻 t_1 において、VCOの瞬時周波数が周波数 f_0 から周波数 f_1 へ状態遷移を完了した場合には、瞬時位相の傾きは次式(4.3.1)によって表わされる変化を示す。

【0031】

【数3】

瞬時位相の傾きは次式(4.3.2)によって表わされる。

【0033】

【数4】

【0035】次に、遅延故障をテストするときに、PLL回路に印加すべき信号について検討する。既に述べたように、遅延故障の影響は状態遷移に従って観測可能になる。ところで、サイン波をPLL回路に印加しても、その状態遷移は生じない。従って、定常信号は遅延故障のテストに利用することができない。これに対し、図16(b)に示す周波数インパルスがPLL回路に印加されると、位相周波数検出器が周波数変化に対応する誤差信号を出力し、PLL回路は状態遷移を行う。即ち、過渡信号を遅延故障のテストにおける印加信号として用いるべきである。

【0036】図16(a)はその周波数が1周期だけインパルス的に変化する周波数インパルス信号の波形図で

ある。周波数インパルスが基準クロック入力に印加されると、PLL回路は状態を2回遷移させる。図16

(b)に示す周波数インパルスがPLL回路に印加されると、位相周波数検出器はインパルスの立ち上がりエッジで周波数アップ信号を出力し、次に、インパルスの立ち下がりエッジで周波数ダウン信号を出力する。従って、周波数インパルスを用いると、上式(4.3.1)が必要とする時間間隔($t_2 - t_1$)を一意的に求めることができる。

【0037】この発明による遅延故障検出方法及び装置は瞬時位相の傾きに着目して発明されたものであり、1999年2月8日付けで提出された「ジッタ測定装置及び方法」と題する米国特許出願第09/246,458号、並びに1999年9月29日付けで提出された「ジッタ測定装置及び方法」と題する米国特許出願第09/408,280号に開示されている、クロック波形の基本波を用いたジッタ推定方法及び装置をそれぞれ拡張したものである。なお、これら米国特許出願の記載は本明細書に組み込まれる。

【0038】図17はこの発明による遅延故障検出装置の第1の実施形態を示すブロック図である。この遅延故障検出装置は、周波数インパルス信号を発生する周波数インパルス発生器51と、遅延故障が存在するか否かがテストされる被試験PLL回路52と、この被試験PLL回路52からの出力信号が与えられるHilbert変換対生成器53と、このHilbert変換対生成器53からの対の出力信号が供給される瞬時位相推定器54と、この瞬時位相推定器54からの出力信号が供給されるリニア位相除去器55と、このリニア位相除去器55からの出力信号に基づいて遅延故障が存在するか否かを決定する遅延故障判断装置56とから構成されている。

【0039】被試験PLL回路52へは、周波数インパルス発生器51から基準クロック信号として、周波数インパルスが印加される。この基準クロック信号の周波数は変化するから、被試験PLL回路52は状態遷移し、従って、これら状態遷移は、遅延故障がPLL回路に存在する場合には、出力クロック波形に影響を与える。Hilbert変換対生成器53は、取り込んだクロック波形 $X_c(t)$ を解析信号 $z_c(t)$ に変換し、瞬時位相推定器54は解析信号 $z_c(t)$ の瞬時位相を推定し、この瞬時位相の変動項 $\Delta\phi(t)$ から遅延時間を測定する。

【0040】上記米国特許出願第09/246,458号及び09/408,280号に記載されているように、ジッタ測定方法の研究においては、ゼロクロスは重要な概念である。これら米国特許出願に開示されているけれど、ここで、周期測定の観点から、波形のゼロクロスとその波形の基本波のゼロクロスとの関係について、図34に示すデューティ比50%の理想クロック波形 $x_{450\%}(t)$ を例に取って簡単に説明する。

【0041】この理想クロック波形の周期を T_0 とする

と、このクロック波形のFourier(フーリエ)変換は次式(3.1)によって与えられる(例えば、Alan V. Oppenheim, Alan S. Willsky and Ian T. Young, "Signals and Systems", Prentice-Hall, Inc., 1983 参照)。

【0042】

【数5】

$$S_{450\%}(f) = \sum_{k=-\infty}^{+\infty} \frac{2\sin(\frac{\pi k}{2})}{k} \delta(f - kf_0) \quad (3.1)$$

【0043】即ち、基本波の周期はクロック信号の周期に等しい。

【0044】

【数6】

$$T_0 = \frac{1}{f} \delta(f - f_0) \quad (3.2)$$

【0045】クロック信号の基本波形を抽出すると、そのゼロクロスは元のクロック波形のゼロクロスに対応する。よって、クロック波形の周期はその基本波形のゼロクロスから推定できる。この場合、推定精度は、たとえばいくつかの高調波を基本波形に加えても、向上しない。次に、Hilbert変換と解析信号について簡単に説明する(例えば、Athanasios Papoulis, 「アナログとデジタルの信号解析」、現代工学社、1982を参照)。

【0046】式(3.1)から分かるように、波形 $X_a(t)$ のフーリエ変換を計算すると、正の周波数と負の周波数にわたるパワースペクトル $S_{aa}(f)$ が得られる。これは両側スペクトル(two-sided power spectrum)と呼ばれる。負の周波数のスペクトルは正の周波数のスペクトルを $f=0$ の軸に関して折り返した鏡映である。従って、両側スペクトルは $f=0$ の軸に関して対称である。即ち、 $S_{aa}(-f) = S_{aa}(f)$ 。しかしながら、負の周波数のスペクトルを観測することはできない。その代りに、負の周波数成分をゼロにカットし、観測できる正の周波数成分を2倍にしたスペクトル $G_{aa}(f)$ も定義できる。これは片側スペクトル(one-sided power spectrum)と呼ばれる。

【0047】

【数7】

$$G_{aa}(f) = 2S_{aa}(f) \quad f > 0 \quad (3.3.1)$$

$$G_{aa}(f) = 0 \quad f < 0$$

$$G_{aa}(f) = S_{aa}(f)[1 + \text{sgn}(f)] \quad (3.3.2)$$

【0048】上式(3.3.2)において、 $\text{sgn}(f)$ は符号関数であり、 f が正のとき+1の値を取り、負の f に対しては-1の値を取る。この片側スペクトルが、解析信号 $z(t)$ のスペクトルに対応する。この解析信号 $z(t)$ は時間領域において次のように表わすことができる。

【0049】

【数 8】

$$z(t) = X_a(t) + j\hat{X}_a(t) \quad (3.4)$$

$$\hat{X}_a(t) = H[X_a(t)] = \frac{1}{\pi} \int_{-\infty}^{+\infty} \frac{X_a(\tau)}{t-\tau} d\tau \quad (3.5)$$

【0050】式(3.4)の実数部は元の波形 $X_a(t)$ に

$$H[\cos(2\pi f_0 t)] = -\frac{1}{\pi} \int_{-\infty}^{+\infty} \frac{\cos(2\pi f_0 \tau)}{\tau-1} d\tau = -\frac{1}{\pi} \int_{-\infty}^{+\infty} \frac{\cos\{2\pi f_0(y+t)\}}{y} dy$$

$$H[\cos(2\pi f_0 t)] =$$

$$-\frac{1}{\pi} \left[\cos(2\pi f_0 t) \int_{-\infty}^{+\infty} \frac{\cos(2\pi f_0 y)}{y} dy - \sin(2\pi f_0 t) \int_{-\infty}^{+\infty} \frac{\sin(2\pi f_0 y)}{y} dy \right]$$

【0052】上式において、第1項の積分はゼロであり、かつ第2項の積分は π であるから、次式(3.6)が得られる。

【0053】

【数10】

$$H[\cos(2\pi f_0 t)] = \sin(2\pi f_0 t) \quad (3.6)$$

【0054】同様に、次式(3.7)が得られる。

【0055】

【数11】

$$x_{d50\%}(t) = \frac{1}{2} + \frac{2}{\pi} \left[\cos \frac{2\pi}{T_0} t - \frac{1}{3} \cos 3 \frac{2\pi}{T_0} t + \frac{1}{5} \cos 5 \frac{2\pi}{T_0} t - \dots \right] \quad (3.8)$$

【0058】理想クロック波形のHilbert変換は、式(3.6)を使用すると、次式(3.9)によって与えられる。

$$H[x_{d50\%}(t)] = \frac{2}{\pi} \left[\sin \frac{2\pi}{T_0} t - \frac{1}{3} \sin 3 \frac{2\pi}{T_0} t + \frac{1}{5} \sin 5 \frac{2\pi}{T_0} t - \dots \right] \quad (3.9)$$

【0060】図35(a)はクロック信号の波形を示し、図35(b)は図35(a)に示されたクロック信号をHilbert変換することによって得られた波形を示す。これらの波形は、それぞれ第11次高調波までの部分和に基づいている。この例の周期 T_0 は 20nsec である。解析信号 $z(t)$ は、J. Dugundji が波形の包絡線を一意的に求めるために導入した(例えば、J. Dugundji, "Envelopes and Pre-Envelopes of Real Waveforms", IR E Trans. Inform. Theory, vol. IT-4, pp. 53-57, 1958を参照)。解析信号 $z(t)$ を極座標系で表わすと、次式(3.10.1)、(3.10.2)及び(3.10.3)が得られる。

【0061】

【数14】

対応する。式(3.4)の虚数部は元の波形 $X_a(t)$ のHilbert変換と与えられる。式(3.5)に示すように、ある波形 $X_a(t)$ のHilbert変換は、この波形 $X_a(t)$ と $1/\pi t$ の畳み込み(convolution)で与えられる。例えば、コサイン波 $\cos(2\pi f_0 t)$ のHilbert変換は次のように導出される。

【0051】

【数9】

$$H[\sin(2\pi f_0 t)] = -\cos(2\pi f_0 t) \quad (3.7)$$

【0056】次に、クロック波形に対応する方形波のHilbert変換を導出する(例えば、Stefan L. Hahn, "Hilbert Transform in Signal Processing", Artech House, Inc., 1996を参照)。図34に示す理想クロック波形 $x_{d50\%}(t)$ のフーリエ級数は次式(3.8)によって与えられる。

【0057】

【数12】

【0059】

【数13】

$$z(t) = A(t)e^{j\Theta(t)} \quad (3.10.1)$$

$$A(t) = \sqrt{X_a^2(t) + \hat{X}_a^2(t)} \quad (3.10.2)$$

$$\Theta(t) = \tan^{-1} \left[\frac{\hat{X}_a(t)}{X_a(t)} \right] \quad (3.10.3)$$

【0062】ここで、 $A(t)$ は波形 $X_a(t)$ の包絡線を表わす。このため、J. Dugundji は $z(t)$ をプリ包絡線(pre-envelope)と呼んでいる。なお、 $\Theta(t)$ は波形 $X_a(t)$ の瞬時位相を表わす。測定した波形を複素数として扱ったと、その包絡線や瞬時位相を簡単に求めることができ

る。Hilbert変換は、波形を解析信号へ変換するためのツールである。さて、再び図17に戻ると、Hilbert変換対生成器53はクロック波形 $X_c(t)$ を解析信号 $z_c(t)$ に変換する。クロック波形 $X_c(t)$ のHilbert変換は、上記式(3.6)を使用すると、次のように与えられる。

【0063】

【数15】

$$\hat{X}_c(t) = H[X_c(t)] = A_c \sin(2\pi f_c t + \theta_c + \Delta\phi(t))$$

$$\begin{aligned} z_c(t) &= X_c(t) + j\hat{X}_c(t) \\ &= A_c \cos(2\pi f_c t + \theta_c + \Delta\phi(t)) + jA_c \sin(2\pi f_c t + \theta_c + \Delta\phi(t)) \end{aligned}$$

【0066】信号処理の手順をまとめると、瞬時位相推定器54によってクロック波形 $X_c(t)$ の瞬時位相を推定することにより、上記した2つの米国特許出願の開示に

$$\Theta(t) = [2\pi f_c t + \theta_c + \Delta\phi(t)] \bmod 2\pi \quad (4.4.1)$$

【0068】上記2つの米国特許出願に開示された位相アンラップ法を、リニア位相除去器55において、 $\Theta(t)$ に施すと、次式(4.4.2)が得られる。

$$\theta(t) = 2\pi f_c t + \theta_c + \Delta\phi(t) \quad (4.4.2)$$

【0070】さらに、同じく上記2つの米国特許出願に開示されたリニア関数フィッティング(適合)法を用いて $\theta(t)$ よりリニア位相 $[2\pi f_c t + \theta_c]$ を推定する。ただし、リニア位相を推定する範囲は、図16(b)に示す周波数インパルスが印加される時刻 t_{impulse} まで

$$\theta(t) = \Delta\phi(t)$$

【0072】最後に、遅延故障判断装置56において、時刻 t_{impulse} より後の時間間隔における位相の傾きから、上式(4.4.3)を用いてPLL回路がある状態に滞在している時間間隔 $(t_2 - t_1)$ を推定する。この時間間隔 $(t_2 - t_1)$ を、遅延故障のないPLL回路の時間間隔 $(t_{2,\text{Fault-Free}} - t_{1,\text{Fault-Free}})$ と比較して、遅延故障が存在するか否かを定める。

【0073】本明細書ではこの発明によるこの遅延故障検出方法を「 $\Delta\phi(t)$ 法」と呼ぶことにする。この $\Delta\phi(t)$ 法は、被試験PLL回路52のアナログの構成素子(チャージポンプ回路、ループフィルタ、或いはVCO)に存在する遅延故障を検出することができる。図33はこの発明による遅延故障検出装置の第2の実施形態を示すブロック図である。この遅延故障検出装置は、周波数インパルス信号を発生するための周波数インパルス発生器51と、遅延故障が存在するか否かをテストされる被試験PLL回路52と、この被試験PLL回路52からの出力信号のゼロクロスを検出するための、即ち、被試験PLL回路52からの出力信号がゼロ振幅レベルをクロスする時点を検出するためのゼロクロス検出器61と、検出されたゼロクロスに基づいて、被試験PLL回路52からの出力信号の瞬時周期を求めるための瞬時周期検出器62と、被試験PLL回路52に遅延故障が

【0064】上式において、 A_c は公称振幅値、 f_c は公称周波数値、 θ_c は初期位相角、そして $\Delta\phi(t)$ は位相変動である。 $X_c(t)$ とが複素関数のそれぞれ実数部と虚数部であると仮定すると、次式で表わされる解析信号 $z_c(t)$ がHilbert変換対生成器53から得られる。

【0065】

【数16】

基づいて、次の式(4.4.1)が得られる。

【0067】

【数17】

$$(4.4.1)$$

【0069】

【数18】

$$(4.4.2)$$

である。次に、 $\theta(t)$ からリニア位相を除去すると、変動項 $\Delta\phi(t)$ は次式(4.4.3)によって与えられる。

【0071】

【数19】

$$(4.4.3)$$

存在するか否かを定めるための遅延時間検出器63とを備えている。

【0074】周波数がインパルスのに変化させられる基準クロック信号を周波数インパルス発生器51から被試験PLL回路52の基準クロック入力端子に印加する。この基準クロック信号の周波数はインパルスのに変化するから、被試験PLL回路52は状態遷移し、従って、遅延故障が被試験PLL回路52に存在するときにはこれら状態遷移の影響が出力クロック波形に現われる。被試験PLL回路52からの出力信号、例えば被試験PLL回路52のVCOからの出力信号は分岐されてゼロクロス検出器61の入力端子に与えられ、ここでVCOからの出力信号のゼロクロスが検出される。検出されたゼロクロスは瞬時周期検出器62の入力端子に供給され、瞬時周期検出器62は、2つの隣接するゼロクロス間の時間間隔を、カウンタを用いて計数し、この計数した時間間隔に基づいてVCOからの出力信号の瞬時周期を求める。

【0075】遅延時間検出器63は、周波数インパルスの終わりからVCOの出力信号の瞬時周期が急激に変化するまでの遅延時間を検出し、この遅延時間を、遅延故障のない正常なPLL回路の遅延時間と比較することによって、被試験PLL回路52に遅延故障が存在するか

否かを定める。この発明によるこの遅延故障検出方法を、本明細書では「ゼロクロス法」と呼ぶことにする。次に、この発明を遅延故障のないPLL回路（即ち、遅延故障が存在しないPLL回路）へ適用した具体例1について説明する。図19はいかなる遅延故障も全く存在しないPLL回路を示すブロック図である。この遅延故障のないPLL回路は、通常のように、位相周波数検出器21と、チャージポンプ回路22と、ループフィルタ23と、VCO24と、クロック・デコード及びバッファ回路25とから構成されている。

【0076】0.6 μm 、5-VのCMOS技術のSPICEでシミュレーションが行われた。図18はCMOS・FETのパラメータを示す。SPICEシミュレーションにより種々の波形が得られた。VCO24の発振周波数は128MHzであった。シミュレーション波形の時間分解能は50 psecであった。シミュレーション結果の波形から位相変動波形 $\Delta\phi(t)$ が測定された。この $\Delta\phi(t)$ の測定はMatlabを用いてシミュレーションされた。

【0077】図20(a)は、VCO24への入力波形を示す。この具体例1では、周波数インパルスは時刻1000.5 nsecの時点においてPLL回路の基準クロック入力へ印加された。この周波数インパルスは、図19に示すように、高い周波数から低い周波数へ、及び低い周波数から高い周波数へとその周波数が変化された。図20(b)はこのPLL回路の内部クロック波形を示す。周波数ダウン(Down)・パルスが、周波数インパルス印加後の次の立ち上がりエッジ(約1032 nsecの時点)においてVCO24へ入力されていることが分かる。周波数アップ(Up)・パルスは、約1098 nsecの時点においてVCO24へ印加されている。

【0078】図21は、この発明によるゼロクロス法とこの発明による $\Delta\phi(t)$ 法とを比較するための波形を示す。図21(a)は、この発明によるゼロクロス法によって測定したVCO24の発振波形の瞬時周期の測定結果である。点線は基準クロック波形の瞬時周期を示す。図21(b)は、この発明による $\Delta\phi(t)$ 法において使用された下記のアルゴリズム（実波形をその基本周波数の解析信号に変換する手順）を用いて推定された $\Delta\phi(t)$ を示す。

【0079】1. 高速フーリエ変換(FFT)を使用して $X(t)$ を周波数領域へ変換する。
2. 負の周波数成分をゼロにカットする。クロック周波数の近傍の正の周波数成分のみを帯域通過フィルタ(BPF)に通し、他の正の周波数成分はゼロにカットする。
3. 高速フーリエ逆変換(IFFT)を使用してスペクトルを時間領域へ変換する。

【0080】即ち、2次高調波を含まない周波数範囲(20MHz~200MHz)のスペクトルを帯域通過

フィルタによって抽出し、高速フーリエ逆変換により $\Delta\phi(t)$ を得る。図21(a)から理解できるように、時間軸方向の分解能を上げたために、VCO24からの出力信号の瞬時周期は、周波数インパルスの立ち上がりエッジ及び立ち下がりエッジの両方において2段階で変化し、図面上で見て左側の縦の点線が周波数インパルスの終わりの時点にあるときに、即ち、約1066 nsecの時点のときに、元の周期に戻る。この時点から、PLL回路の内部クロックは周波数インパルスに対応した周波数追従動作を開始し、発振周波数の状態が遷移する。図面上で見て右側の縦の点線において、VCO24は、周波数インパルスの立ち上がりエッジに対応して、周期を小さくしようと、その結果、瞬時周期が急激に減少するので、VCO24はその時点でその周期を基準周期(周波数インパルスを印加する前の周期)に戻す動作を開始する。これら2本の縦の点線間の時間間隔57.70 nsecは、発振周波数の状態が遷移している時間期間である。

【0081】図21(b)の $\Delta\phi(t)$ を観察すると、周波数ダウン・パルスによる状態遷移は約1050 nsecの時点 t_1 で終了しており、次の周波数アップ・パルスに対応した状態遷移は、約58.30 nsec後の時点 t_2 から始まることが分かる。この具体例1は、瞬時位相の傾きの測定と周波数インパルス信号とを組み合わせると、PLL回路がある状態に滞在している時間間隔を推定することができるということを検証している。

【0082】次に、この発明を、基準クロック入力端に遅延故障が存在するPLL回路に適用した具体例2について説明する。図22は、PLL回路の位相周波数検出器21の基準クロック入力端に遅延故障DF1が存在するPLL回路を示すブロック図である。このPLL回路の構成は図19に示したものと同じである。このタイプの遅延故障はこの発明の方法ではテスト又は検出できない。次に、その理由を明らかにする。

【0083】図22に示したPLL回路をSPICEによりシミュレーションした。基準クロック入力端に存在する遅延故障DF1の数値シミュレーションのために、一連の偶数個のインバータが回路に挿入された。図23(a)は、VCO24への入力波形を示す。周波数インパルスは、図22に示すように、高い周波数から低い周波数へ、及び低い周波数から高い周波数へとその周波数が変化された。図23(b)は、PLL回路の内部クロック波形を示す。点線は基準クロック波形を示す。PLL回路の内部クロック波形は基準クロック波形と同期せず、一定のクロック・スキューが生じているのが分かる。

【0084】図24はこの発明によるゼロクロス法とこの発明による $\Delta\phi(t)$ 法とを比較するための波形を示す。図24(a)は、この発明によるゼロクロス法によって測定したVCO24の発振波形の瞬時周期の測定結果である。点線は基準クロック波形の瞬時周期を示す。

10

20

30

40

50

図 24 (b) は、この発明による $\Delta \phi(t)$ 法において使用された上記のアルゴリズム（実波形をその基本周波数の解析信号に変換する手順）を用いて推定された $\Delta \phi(t)$ を示す。

【0085】図 24 から、たとえ基準クロック入力端に遅延故障 DF1 が存在しても、PLL 回路は状態遷移を正しく行っていることが分かる。従って、PLL 回路の内部状態をモニタしただけでは、このタイプの遅延故障を検出することはできない。逆に、図 23 (b) から理解できるように、このタイプの遅延故障は、外部の基準クロックと比較することにより簡単に検出することが可能となる。この具体例 2 は、この発明の方法では PLL 回路の基準クロック入力端に存在する遅延故障 DF1 を検出できないということを検証している。

【0086】次に、この発明を、チャージポンプ回路の信号入力端に遅延故障が存在する PLL 回路に適用した具体例 3 について説明する。図 25 は、PLL 回路のチャージポンプ回路 22 の信号入力端に遅延故障 DF2 が存在する PLL 回路を示すブロック図である。この PLL 回路の構成は図 19 に示したものと同じである。チャージポンプ回路 22 は 2 つの信号入力端子を備えている。即ち、一方の信号入力端子には位相周波数検出器 21 から論理信号 Up が入力され、他方の信号入力端子には位相周波数検出器 21 から論理信号 Down が入力される。位相周波数検出器 21 から入力された論理信号 Up 又は Down はチャージポンプ回路 22 によりアナログ信号へ変換される。これら論理信号 Up 及び Down は「周波数を高くする」及び「周波数を低くする」という状態遷移にそれぞれ対応している。

【0087】種々の状態遷移を活性化するためには、異なる周波数のインパルスが必要とする。(i) チャージポンプ回路 22 の Up 信号入力端に存在する遅延故障 DF2 を検出する場合には、周波数インパルス信号の周波数は高い周波数から低い周波数へ、及び低い周波数から高い周波数へと順番に変化される。これに対し、(ii) チャージポンプ回路 22 の Down 信号入力端に存在する遅延故障 DF3 (図 28 参照) を検出する場合には、周波数インパルス信号の周波数は低い周波数から高い周波数へ、及び高い周波数から低い周波数へと順番に変化される。ここでは、既に説明した縮退故障テストと同じ考え方を適用している。即ち、0 縮退故障を検出する場合には、故障個所において逆の論理値“1”を取るテストパターンを生成すればよい。

【0088】最初に、チャージポンプ回路 22 の Up 信号入力端に遅延故障 DF2 が存在する PLL 回路について検討する。図 25 に示した PLL 回路を SPICE によりシミュレーションした。Up 信号入力端に存在する遅延故障 DF2 をシミュレーションするために、一連の偶数個のインバータが回路に挿入された。遅延故障 DF2 の遅延時間は 2.957 nsec であった。周波数インパル

スは、図 25 に示すように、高い周波数から低い周波数へ、及び低い周波数から高い周波数へとその周波数が変化された。図 26 (a) は VCO 24 への入力波形を示す。図 26 (b) は PLL 回路の内部クロック波形を示す。点線は基準クロック波形を示す。

【0089】図 27 はこの発明によるゼロクロス法とこの発明による $\Delta \phi(t)$ 法とを比較するための波形を示す。図 27 (a) は、この発明によるゼロクロス法によって測定した VCO 24 の発振波形の瞬時周期の測定結果である。点線は基準クロック波形の瞬時周期を示す。PLL 回路がある状態に滞在している時間間隔 ($t_2 - t_1$) は、約 61.65 nsec であると推定された。図 27 (b) は、この発明による $\Delta \phi(t)$ 法において使用された上記のアルゴリズム（実波形をその基本周波数の解析信号に変換する手順）を用いて推定された $\Delta \phi(t)$ を示す。時間間隔 ($t_2 - t_1$) は約 61.90 nsec であると推定された。

【0090】次に、チャージポンプ回路 22 の Down 信号入力端に遅延故障 DF3 が存在する PLL 回路について検討する。図 28 に示した PLL 回路を SPICE によりシミュレーションした。Down 信号入力端に存在する遅延故障 DF3 の数値シミュレーションのために、一連の偶数個のインバータが回路に挿入された。遅延故障 DF3 の遅延時間は 4.413 nsec であった。周波数インパルスは、図 28 に示すように、低い周波数から高い周波数へ、及び高い周波数から低い周波数へとその周波数が変化された。

【0091】図 29 (a) は VCO 24 への入力波形を示す。図 29 (b) は PLL 回路の内部クロック波形を示す。点線は基準クロック波形を示す。図 30 は、この発明によるゼロクロス法とこの発明による $\Delta \phi(t)$ 法とを比較するための波形を示す。図 30 (a) は、この発明によるゼロクロス法によって測定した VCO 24 の発振波形の瞬時周期の測定結果である。点線は基準クロック波形の瞬時周期を示す。時間間隔 ($t_2 - t_1$) は、約 29.25 nsec であると推定された。図 30 (b) は、この発明による $\Delta \phi(t)$ 法において使用された上記のアルゴリズム（実波形をその基本周波数の解析信号に変換する手順）を用いて推定された $\Delta \phi(t)$ を示す。時間間隔 ($t_2 - t_1$) は約 25.20 nsec であると推定された。

【0092】次に、この発明による $\Delta \phi(t)$ 法とこの発明によるゼロクロス法とを比較する。この実験には図 25 に示した PLL 回路を使用し、そのチャージポンプ回路 22 の信号入力端に存在する故障の遅延時間を、0 nsec から 7 nsec まで変化させた。図 31 はチャージポンプ回路 22 の Up 信号入力端に遅延故障 DF2 が存在する PLL 回路についての実験結果を示す。図 31 から、この発明による $\Delta \phi(t)$ 法はこの発明によるゼロクロス法とほぼ互換のある推定値を与えていることが分かる。推定された遅延時間はステップ状の変化を示してい

る。これは、位相周波数検出器 21 がクロックエッジのタイミングでのみ PLL 回路の状態遷移を生じさせるからである。

【0093】図 32 はチャージポンプ回路 22 の Down 信号入力端に遅延故障 DF3 が存在する PLL 回路についての実験結果を示す。この発明によるゼロクロス法とこの発明による $\Delta\phi(t)$ 法とを比較すると、図 32 から、ゼロクロス法は大きな偏り誤差 (bias error) を持っていることが分かる。これは、ゼロクロス法の測定点がゼロクロスのみに限られているためである。これに対し、 $\Delta\phi(t)$ 法は、たとえ波形の周期が短い場合でも、時間分解能に制限を受けない。何故ならば、図 31 と図 32 を比較することによって、 $\Delta\phi(t)$ 法は 2 nsec 以上の遅延故障を検出できていることが明らかであるからである。換言すると、この発明による $\Delta\phi(t)$ 法は、波形の周期とは独立に、遅延故障を検出できる。

【0094】以上の結果から明らかなように、この発明による $\Delta\phi(t)$ 法は、PLL 回路の状態を低い周波数状態に遷移させ、PLL 回路がある状態に滞在している時間間隔を推定する場合には、この発明によるゼロクロス法の推定値と互換のある推定値を与える。一方、PLL 回路の状態を高い周波数状態に遷移させ、かつ PLL 回路がある状態に滞在している時間間隔を推定する場合には、この発明による $\Delta\phi(t)$ 法はこの発明によるゼロクロス法よりも偏り誤差が小さい。

【0095】しかしながら、この発明による $\Delta\phi(t)$ 法は遅延故障の遅延時間を測定することができない。これは、図 31 と図 32 にプロットした時間間隔 ($t_2 - t_1$) がそれぞれ、遅延故障の遅延時間に比例して変化しないことから明らかである。上述のように、この発明による $\Delta\phi(t)$ 法は、(i) 周波数インパルスで PLL 回路に印加し、(ii) この PLL 回路をある周波数を発振する状態に中間的に滞在させ、そして (iii) PLL 回路がその周波数発振状態に滞在している時間間隔を測定することにより、PLL 回路の遅延故障を検出するという過程を取っている。このため、この発明による $\Delta\phi(t)$ 法を使用する遅延故障検出方法は、標本化のためのトリガー信号を必要としないし、また、たとえ波形の周期が短い場合でも、時間分解能に制限を受けない、という特徴を有する。

【0096】これに対し、この発明によるゼロクロス法を使用する遅延故障検出方法は、標本化のためのトリガー信号を必要とし、かつ波形の周期が短い場合には大きな偏り誤差を持つ。これら事実は、上述のように、SPICE シミュレーションと Matlab を用いた測定シミュレーションとによって検証された。さらに、PLL 回路はフィードバック系であるため、遅延故障は過渡スキューを生じる。スキューが生じるタイミングが制限されるため、この発明によるゼロクロス法の場合のようにトリガーを用いたテストを実行することは困難である。何故な

らば、目標とするゼロクロスを正確に捕捉しなければならないからである。これに対し、この発明による $\Delta\phi(t)$ 法は時間分解能に制限を受けないという利点がある。その上、被試験 PLL 回路のミックスド信号ブロック (チャージポンプ回路、ループフィルタ、VCO) に存在する遅延故障を同時にテスト又は検出できるという利点がある。

【0097】以上、この発明を例示の実施例について記載したが、この発明の精神及び範囲から逸脱することなしに、これら実施例について種々の変形、変更、及び/又は改良をなし得ることはこの分野の技術者には明らかである。従って、この発明は図示し、かつ上述した実施例に限定されるものではなく、添付の特許請求の範囲によって定まる発明の範囲内に入る全てのそのような変形、変更、及び/又は改良をも包含するものである。

【0098】

【発明の効果】以上説明したように、この発明によれば、解析信号の瞬時位相の傾きを利用してフェーズロックループ回路の遅延故障を検出するものであるから、過渡的なクロック・スキューとして現われるフェーズロックループ回路の遅延故障を確実に検出することができる。なお、上記した文献 d1～d8 は下記の通りである。

[d1]: Jan M. Rabaey, Digital Integrated Circuits: A Design Perspective, Prentice-Hall, Inc., 1996.

[d2]: 藤原秀雄「コンピュータの設計とテスト」、工学図書株式会社、1990。

[d3]: R. Scott Fetherston, Imtiaz P. Shaik and Siyad C. Ma, "Testability Features of AMD-K6 Microprocessor", IEEE International Test Conference, pp. 406-413, 1997.

[d4]: Sudhakar M. Reddy, Delay Fault: Modeling, Fault Simulation, and Test Generation, IEEE International Test Conference Tutorial, 1995.

[d5]: Ankan K. Ppramanick and Sudhakar M. Reddy, "On the Design of Path Delay Fault Testable Combinational Circuits", IEEE International Fault-Tolerant Computing Symposium, pp. 374-381, 1990.

[d6]: Niklaus Wirth, Algorithm + Data Structures = Programs, Prentice-Hall, Inc., 1976.

[d7]: Manfred Schroeder, Fractals, Chaos, Power Laws, W. H. Freeman and Company, 1991.

[d8]: Floyd M. Gardner, "Phase Accuracy of Charge Pump PLL's", IEEE Trans. Commun., vol. COM-30, p. 2362-2363, 1982.

【図面の簡単な説明】

【図 1】PLL 回路を用いてクロック・スキューを最小化する同期システムの一例を示すブロック図である。

【図 2】図 1 に示したシステムの動作を説明するための

クロックパルスの波形図である。

【図 3】位相周波数検出器に遅延故障が存在する PLL 回路の一例を示すブロック図である。

【図 4】図 3 に示した PLL 回路の動作を説明するためのクロックパルスの波形図である。

【図 5】チャージポンプ回路に遅延故障が存在する PLL 回路の一例を示すブロック図である。

【図 6】図 5 に示した PLL 回路の動作を説明するためのクロックパルスの波形図である。

【図 7】PLL 回路の位相周波数検出器の状態図である。

【図 8】縮退故障が存在する組み合わせ回路の一例を示す回路図である。

【図 9】遅延故障が存在する組み合わせ回路の一例を示す回路図である。

【図 10】従来の遅延故障テスト法の一例を説明するためのブロック図である。

【図 11】Hilbert 曲線の一例を示す図である。

【図 12】PLL 回路に適用された従来の遅延故障テスト法の概念を示すブロック図である。

【図 13】PLL 回路の VCO に与えられるアナログの周波数ダウン信号と位相雑音波形 $\Delta\phi(t)$ の対応する変化を示す図である。

【図 14】PLL 回路の VCO に与えられるアナログの周波数アップ信号と位相雑音波形 $\Delta\phi(t)$ の対応する変化を示す図である。

【図 15】被試験 PLL 回路の位相変動波形 $\Delta\phi(t)$ を故障のない PLL 回路の位相変動波形 $\Delta\phi(t)$ と比較することにより遅延故障を検出する方法を説明するための波形図である。

【図 16】PLL 回路が状態遷移を実行させられる周波数インパルス信号の一例及び周波数インパルスの一例をそれぞれ示す波形図である。

【図 17】この発明による遅延故障検出装置の第 1 の実施例を示すブロック図である。

【図 18】MOS・FET のパラメータを示す特性図である。

【図 19】0.6 μm 、5-V の CMOS 技術により構成された PLL 回路の一例を示すブロック図である。

【図 20】(a) は図 19 に示した PLL 回路の VCO への入力波形を示し、(b) は図 19 に示した PLL 回路の内部クロックを示す波形図である。

【図 21】(a) はこの発明によるゼロクロス法を使用して図 19 に示した PLL 回路の VCO の発振波形の瞬時周期を測定した測定結果を示す波形図であり、(b) はこの発明による方法により推定された位相変動波形 $\Delta\phi(t)$ を示す図である。

【図 22】この発明による方法ではテストできない遅延故障を持つ PLL 回路の一例を示すブロック図である。

【図 23】(a) は図 22 に示した PLL 回路の VCO

への入力波形を示し、(b) は図 22 に示した PLL 回路の内部クロックを示す波形図である。

【図 24】(a) はこの発明によるゼロクロス法を使用して図 22 に示した PLL 回路の VCO の発振波形の瞬時周期を測定した測定結果を示す波形図であり、(b) はこの発明による方法により推定された位相変動波形 $\Delta\phi(t)$ を示す図である。

【図 25】この発明による方法によりテストできる遅延故障を持つ PLL 回路の一例を示すブロック図である。

【図 26】(a) は図 25 に示した PLL 回路の VCO への入力波形を示し、(b) は図 25 に示した PLL 回路の内部クロックを示す波形図である。

【図 27】(a) はこの発明によるゼロクロス法を使用して図 25 に示した PLL 回路の VCO の発振波形の瞬時周期を測定した測定結果を示す波形図であり、(b) はこの発明による方法により推定された位相変動波形 $\Delta\phi(t)$ を示す図である。

【図 28】この発明による方法によりテストできる遅延故障を持つ PLL 回路の他の例を示すブロック図である。

【図 29】(a) は図 28 に示した PLL 回路の VCO への入力波形を示し、(b) は図 28 に示した PLL 回路の内部クロックを示す波形図である。

【図 30】(a) はこの発明によるゼロクロス法を使用して図 28 に示した PLL 回路の VCO の発振波形の瞬時周期を測定した測定結果を示す波形図であり、(b) はこの発明による方法により推定された位相変動波形 $\Delta\phi(t)$ を示す図である。

【図 31】この発明による方法を使用して図 25 に示した PLL 回路をテストした実験結果を示す図である。

【図 32】この発明による方法を使用して図 28 に示した PLL 回路をテストした実験結果を示す図である。

【図 33】この発明による遅延故障検出装置の第 2 の実施例を示すブロック図である。

【図 34】理想のクロック信号の一例を示す波形図である。

【図 35】(a) はクロック信号の一例を示す波形図であり、(b) は図 35 (a) に示したクロック信号を Hilbert 変換することにより得られた波形図である。

【符号の説明】

14、15：フェーズロックループ回路

21：位相周波数検出器

22：チャージポンプ回路

23：ループフィルタ

24：電圧制御発振器

25：クロック・デコード及びバッファ回路

31：入力ラッチ

32：出力ラッチ

51：周波数インパルス発生器

52：被試験フェーズロックループ回路

- 53 : Hilbert変換対生成器
 54 : 瞬時位相推定器
 55 : リニア位相除去器
 56 : 遅延故障判断装置

【図1】

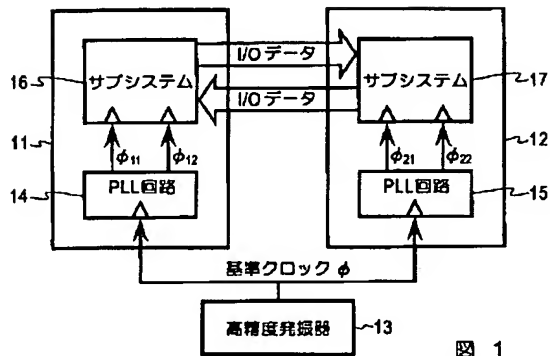


図 1

- 61 : ゼロクロス検出器
 62 : 瞬時周期検出器
 63 : 遅延時間検出器

【図2】

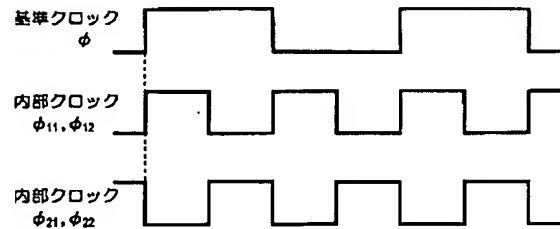


図 2

【図3】

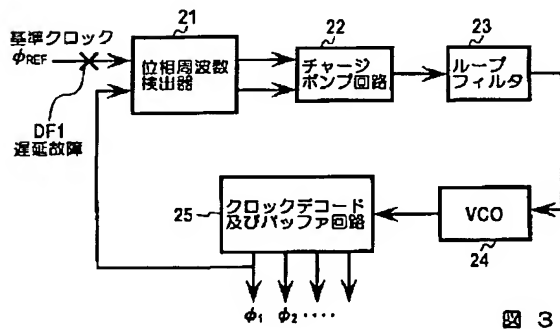


図 3

【図4】

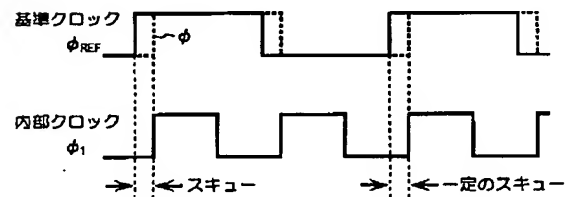


図 4

【図5】

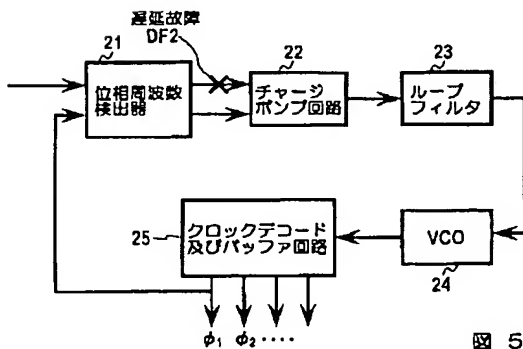


図 5

【図6】

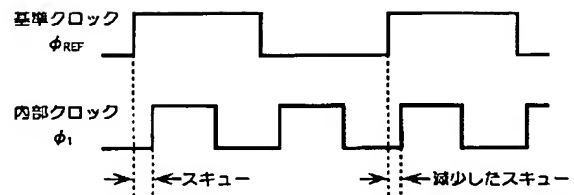


図 6

【図 7】

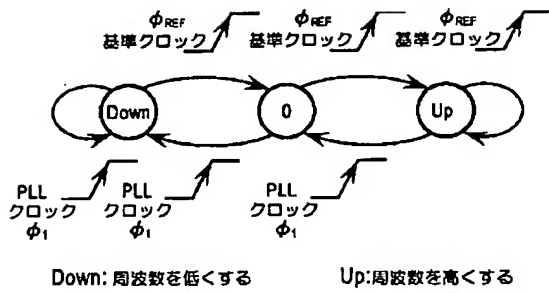


図 7

【図 8】

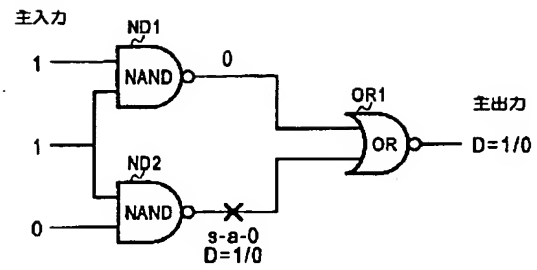


図 8

【図 9】

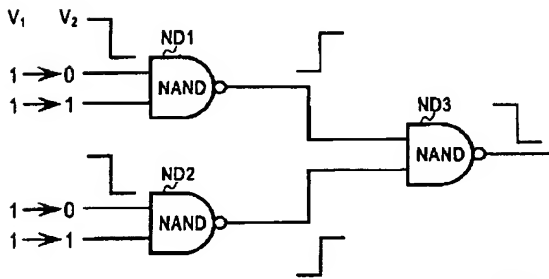


図 9

【図 10】

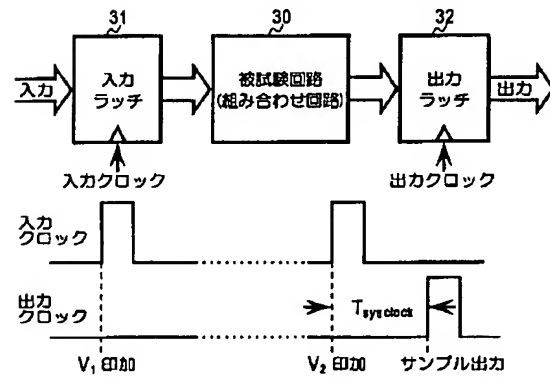


図 10

【図 11】

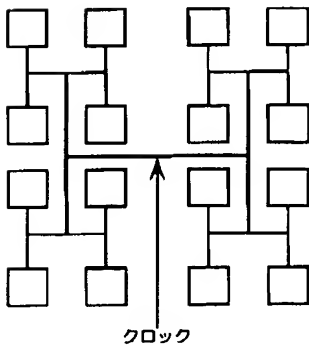


図 11

【図 12】

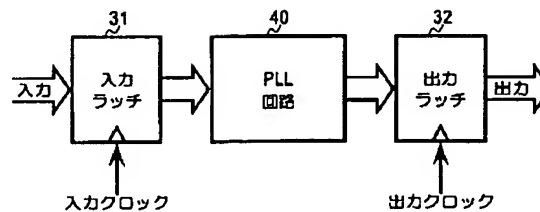


図 12

【図 13】

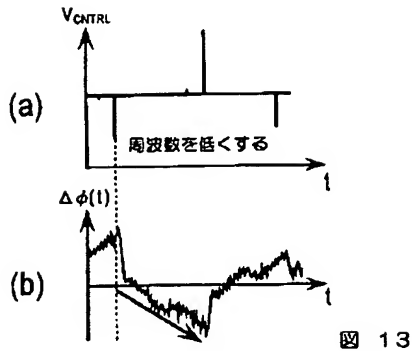


図 13

【図 14】

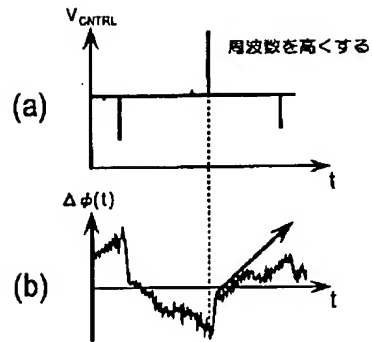


図 14

【図 15】

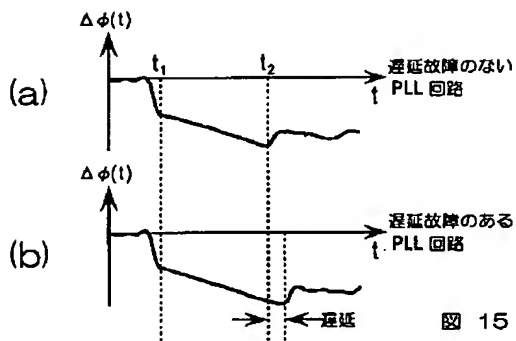


図 15

【図 16】

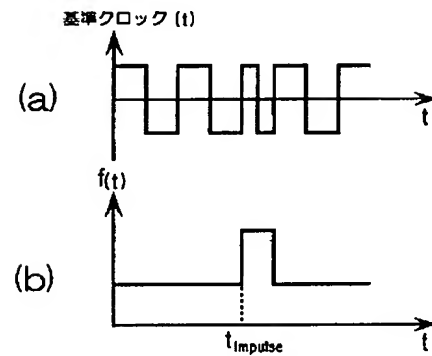


図 16

【図 17】

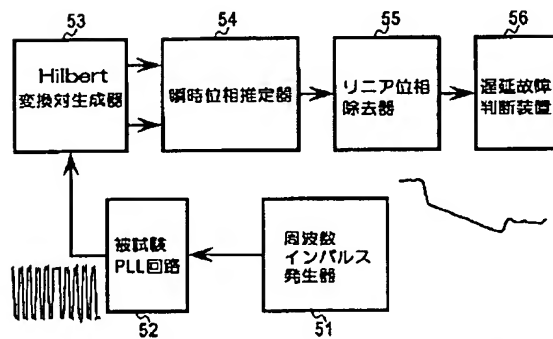


図 17

【図 18】

パラメータ	nMOS	pMOS	Unit
V_{T0}	0.7388893	-0.9160475	V
I_{ox}	135.23	134.216	A
XL	-0.0672454	-0.0287155	μm
XW	-0.166238	-0.200027	μm
RSH	64.7204	117.086	Ω/l

図 18

【図 19】

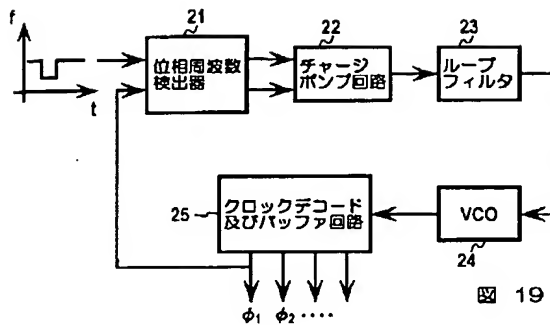


図 19

【図 20】

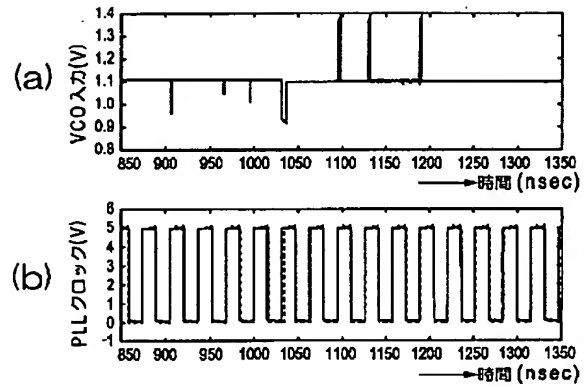


図 20

【図 21】

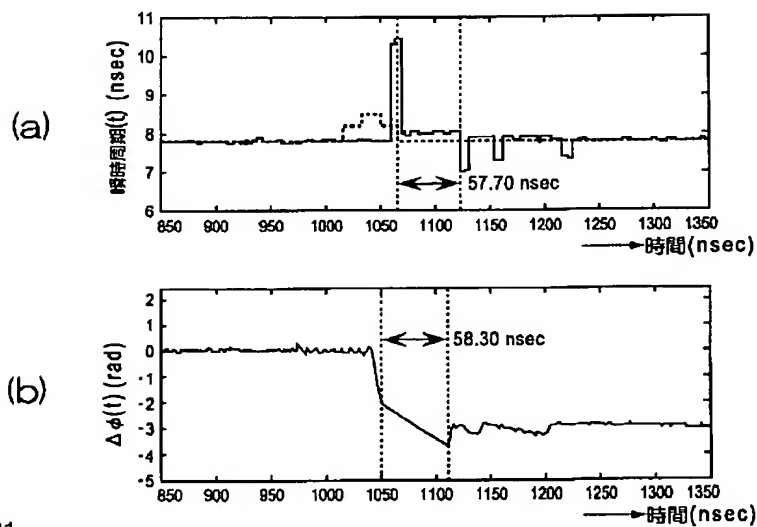


図 21

【図 22】

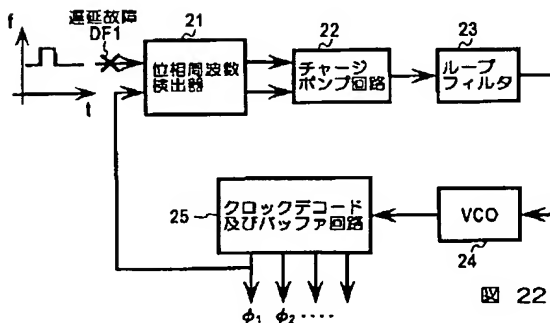


図 22

【図 25】

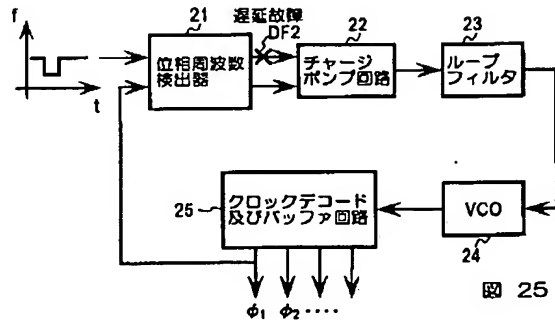


図 25

【図 23】

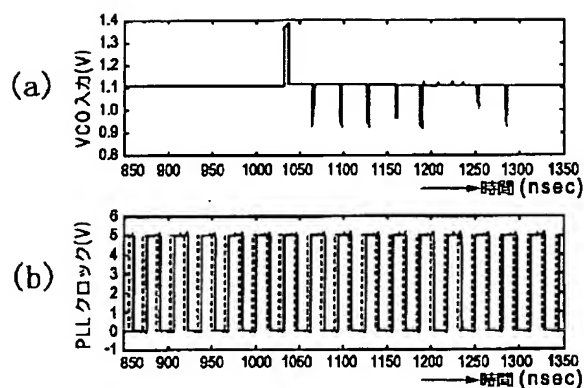
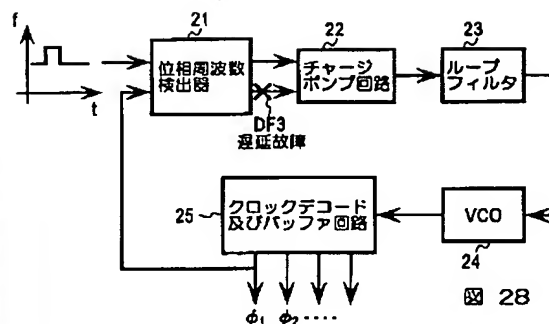
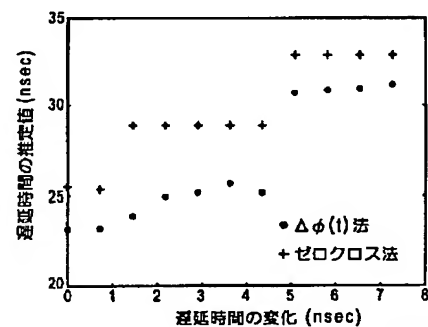


図 23

【図 28】



【図 32】



【図 24】

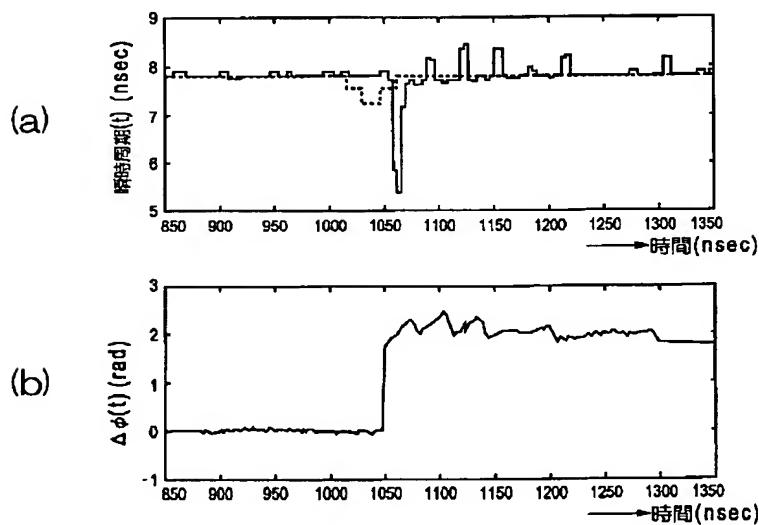
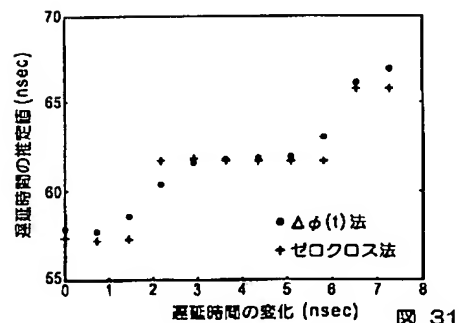


図 24

【図 31】



【図 34】

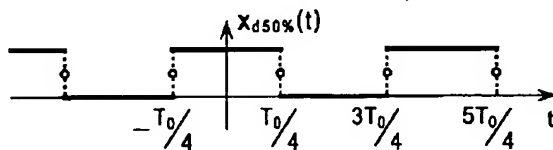


図 34

【図 26】

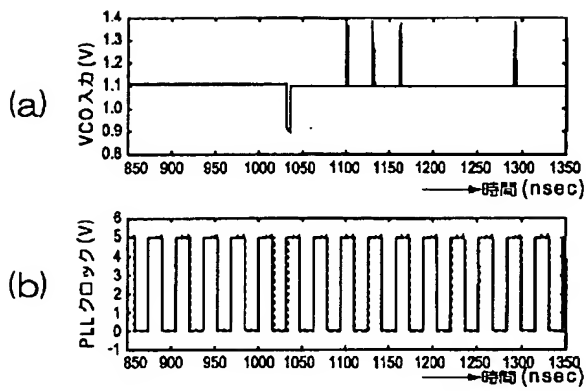


図 26

【図 29】

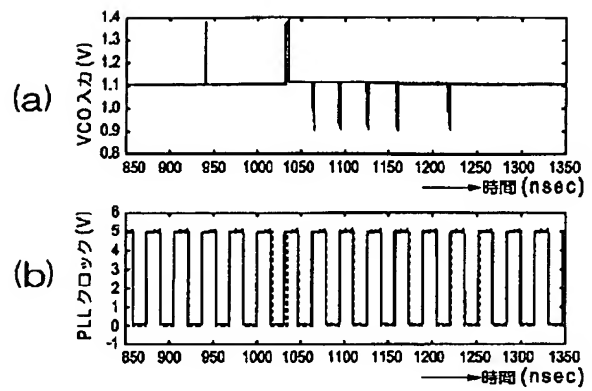


図 29

【図 27】

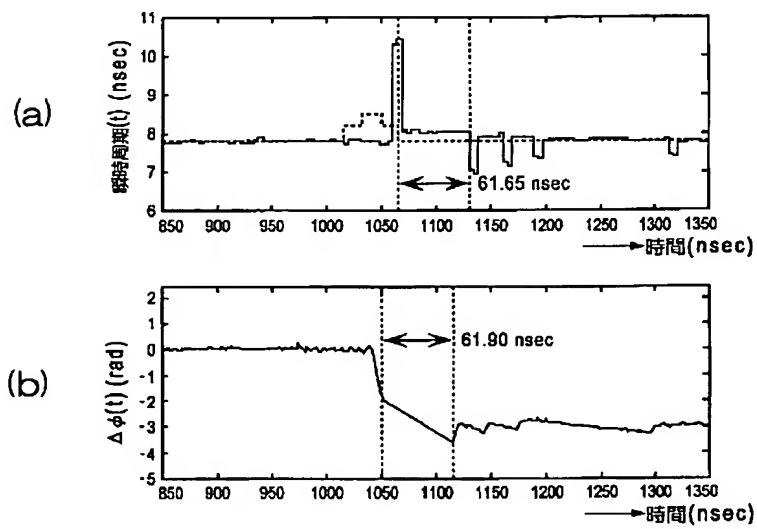


図 27

【図 33】

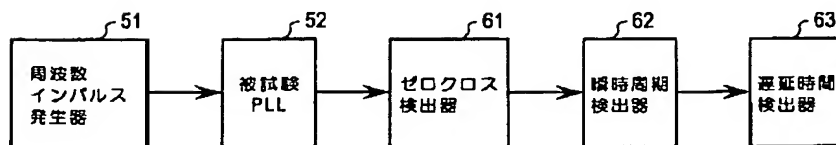


図 33

【図 30】

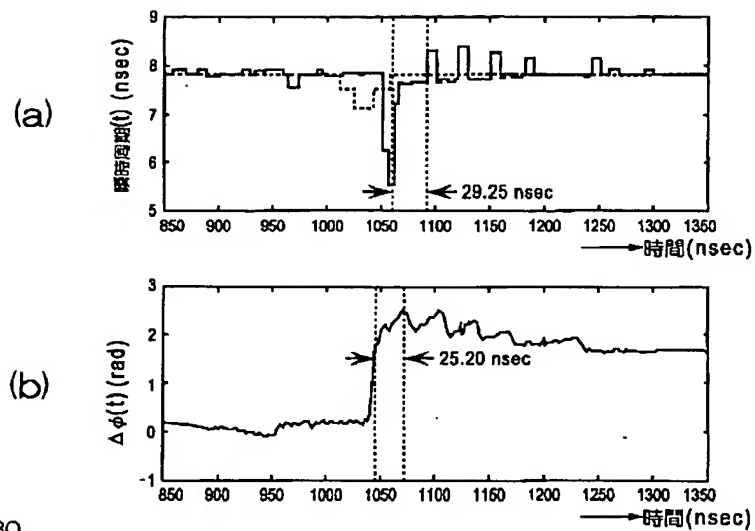


図 30

【図 35】

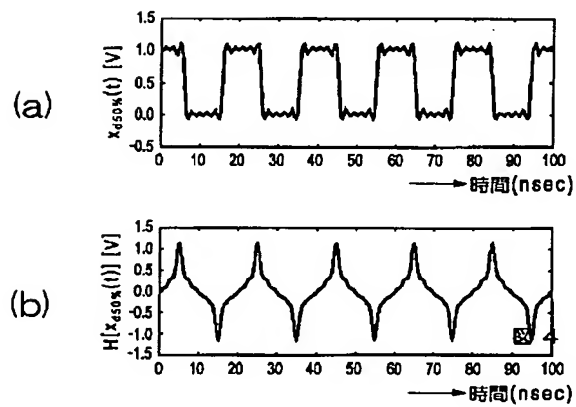


図 35

フロントページの続き

(72)発明者 マニ ソーマ
 アメリカ合衆国 ワシントン州 98177-
 4611 シアトル エヌ. ダブリュー.
 イレブンス アベニュー 12043

(72)発明者 石田 雅裕
 東京都練馬区旭町1丁目32番1号 株式会
 社アドバンテスト内